

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-265992

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.<sup>4</sup>  
H 0 1 L 27/108  
21/8242  
21/28 3 0 1

F I  
H 0 1 L 27/10 6 8 1 A  
21/28 3 0 1 D

審査請求 未請求 請求項の数17 O L (全 7 頁)

(21) 出願番号 特開平11-10404  
(22) 出願日 平成11年(1999) 1月19日  
(31) 優先権主張番号 09/010081  
(32) 優先日 1998年1月21日  
(33) 優先権主張国 米国 (US)

(71) 出願人 390039413  
シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESELSCHAFT  
ドイツ連邦共和国 D-80333 ミュンヘン  
ヴィットルスバッハープラッツ 2  
(71) 出願人 594145404  
インターナショナル ビジネス マシンズ  
コーポレーション  
アメリカ合衆国ニューヨーク州 10504  
ニューヨーク アーモンク オールド  
オーチャード ロード (番地なし)  
(74) 代理人 弁理士 矢野 敏雄 (外2名)

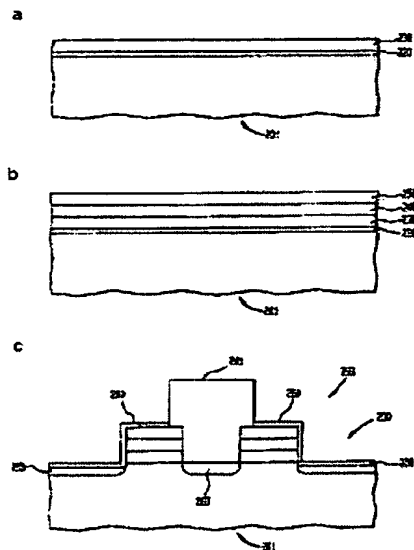
最終頁に続く

(54) (発明の名称) ダイナミックランダムアクセスメモリの形成方法

(57) 【要約】

【課題】 減少したシート抵抗を有する確実なポリサイドゲートを提供する。

【解決手段】 ポリと金属シリコン化物層との間の金属の豊富な境界面の減少は、金属シリコン化物層にその場でドーピングすることによって達成される。



る。基本原則の減少は縦横比をさらに増加し、その結果、プロセスの問題を生じる。さらに、ドーピングされていないポリ層の追加はゲート抵抗を増大し、これによりデバイスパフォーマンスが増大する。金属の豊富な境界面を避ける別の技術は、ポリのドーパント濃度を低下することにある。典型的にはポリ層のP濃度は、 $1 \times 10^{20}$  原子/cm<sup>3</sup>以下に維持するべきである。このような技術もまた、ゲート抵抗を不所望に増加する。

【0005】

【発明が解決しようとする課題】 前記のことから、減少したシート抵抗を有する確実なポリサイドゲートを提供することが望まれる。

【0006】

【課題を解決するための手段】 本発明は、減少した厚さ及びさらに低いシート抵抗を有する確実なゲート導体の形成に関する。一実施形態において、減少した厚さ及びさらに低いシート抵抗は、ドーピングされたポリ層上に現場でドーピングされた金属シリコン化物層を堆積させることによって達成される。金属シリコン化物層におけるドーパントは、金属の豊富な境界面に関連する問題を減少する。このことにより、真性のキャップポリ層なしで又はポリがさらに低いドーパント濃度を有する必要なく、金属シリコン化物層を堆積させることができるようになる。

【0007】

【実施例】 本発明は、減少したシート抵抗を有する確実なポリサイドゲートに関する。本発明の議論を容易にするために、メモリICに関連して説明する。しかしながら本発明は、それより著しく広く、かつ一般的にICに適用することができる。DRAMセルの説明を行なう。

【0008】 図1によれば、トレンチキャパシタタイプのDRAMセル100が示されている。このようなトレンチキャパシタDRAMセルは、例えばネスビット他(Nesbitt et al.), A. O. 6  $\mu\text{m}^2$  256Mb Trench DRAM Cell With Self-Aligned Buried Strap (BEST)、IEDM93-627に記載されており、これは、あらゆる目的のために引用によってここに組込まれる。トレンチキャパシタDRAMセルは、示されているが、本発明は、このようなものに限定されていない。例えばスタックキャパシタDRAMセルも利用することができる。典型的にはこのようなセルのアレイは、DRAM-ICを形成するために、ワード線及びビット線によって相互接続されている。

【0009】 実例としてDRAMセル100は、基板101中に形成されたトレンチキャパシタ150を含んでいる。トレンチは、典型的にはn-タイプのような第1の導電性を有するドーパントによって多量にドーピングされたポリシリコン(ポリ) 151によって満たされている。ドーピングされたポリは、“蓄積ノード(storage

node)” と称するキャパシタの電極として使われる。選択的に第1の導電性のドーパントによってドーピングされた埋込プレート155は、トレンチの下側の部分を囲んでいる。埋込プレートは、キャパシタのもう1つの電極として使われる。トレンチの上側の部分に、寄生漏れを減少するカラー158がある。ノード誘電体153は、キャパシタの2つのプレートを分離する。第1の導電性のドーパントを含む埋込ウエル170は、アレイ内におけるDRAMセルの埋込プレートを接続するために設けられている。埋込ウエルの上に、p-タイプのような第2の導電性を有するドーパントを含むウエル173がある。p-ウエルは、トランジスタ110の垂直漏れを減少するために反対の導電性の接合部を形成するために十分なドーパント濃度を含んでいる。

【0010】 トランジスタは、ポリサイドゲートスタック112を含んでいる。時には“ゲート媒体”(GC) と称するゲートスタックは、DRAMアレイにおいてワード線として使われる。ワード線は、キャパシタに接続されるので、“活性ワード線” と称する。図示したように、ゲートスタックは、ドーパントにより多量にドーピングされたポリ層120を含む。一実施形態において、ポリ層120は、p-ドーパントによって多量にドーピングされている。ほう素(B) 又は砒素(As)の利用も有用である。シート抵抗を低く維持するために、ポリのドーパント濃度は、十分に高くする。多量にドーピングされたポリ120の上に、真性ポリ層121及び金属シリコン化物層122が設けられている。真性ポリ層は、シリコン化物と多量にドーピングされたポリ層との間の金属の豊富な境界面を避けるためにバッファ層として使われる。ドーパントは、後続の熱処理の間に多量にドーピングされたポリ層から真性ポリ層へ拡散するが、ポリは、金属シリコン化物層を初期に堆積する間に、真性である。金属シリコン化物層の上に、例えばエッチング停止層として使われる窒化物層がある。

【0011】 ゲートに隣接して、多量にドーピングされた拡散領域113及び114が設けられている。拡散領域は、ポリ層と同じであり、かつウエル173のものと反対の導電性を有するドーパントを含んでいる。拡散領域は、例えばn-タイプドーパントによって多量にドーピングされている。電流流通の方向に依存して、拡散領域113及び114は、それぞれ“ドレイン”又は“ソース” と称する。ここにおいて用いる場合、用語“ドレイン”及び“ソース”は、互いに交換可能である。トランジスタとキャパシタとの間の接続は、“ノード拡散” と称する拡散領域125を介して達成される。

【0012】 DRAMセルをその他のセル又はデバイスから絶縁するために、浅いトレンチ絶縁体(STI) 180が設けられている。図示したように、ワード線120は、トレンチ上方に形成され、かつSTIによってここから絶縁されている。ワード線120は、DRAMセ

原子/cm<sup>3</sup>、かつさらに有利にはほぼ $5 \times 10^{20}$ である。ポリは、シリコン先駆物質としてSiH<sub>4</sub>及びPドーパント源としてPH<sub>3</sub>を使用して、例えばほぼ600～650℃の温度及びほぼ100～180トルの圧力で、CVD反応器内において堆積される。ドーピングされたポリの厚さは、ほぼ10～200nm、有利にはほぼ40～150nm、かつさらに有利にはほぼ50～100nmである。もちろん実際の厚さは、種々の要因に依存して変化することがある。例えば最小の厚さは、作業機種の目的のために必要であり、かつこれは、設計の要求に依存している。この最小の厚さは、ある種の場合において、ほぼ10nmであってもよい。

【0023】図2bによれば、ポリ層230の上に金属シリコン化物層240が堆積されている。金属シリコン化物は、例えばタングステンシリコン化物(WSi<sub>x</sub>)、モリブデンシリコン化物(MoSi<sub>x</sub>)、 tantalumシリコン化物(TaSi<sub>x</sub>)、チタンシリコン化物(TiSi<sub>x</sub>)、コバルトシリコン化物(CoSi<sub>x</sub>)又はその他の金属シリコン化物を含む。一実施態様によれば、金属シリコン化物は、p-又はn-タイプいずれかのドーパントを含む。このようなドーパントは、例えばP、As又はBを含む。適用できるならば、ドーパントのタイプは、ドーピングされたポリ層230と同じである。金属シリコン化物層の典型的な濃度は、ほぼ $10^{19}$ ～ $5 \times 10^{21}$ 原子/cm<sup>3</sup>、有利にはほぼ $10^{20}$ ～ $10^{21}$ 原子/cm<sup>3</sup>、かつさらに有利にはほぼ $5 \times 10^{20}$ 原子/cm<sup>3</sup>である。金属シリコン化物の現場でのドーピングは、そのアモルファス状態において堆積される傾向を潜在的に増加する。そのアモルファス状態における金属シリコン化物の堆積は、膜の粒子寸法を増加し、それによりその抵抗を減少する。

【0024】現場でドーピングされた金属シリコン化物は、ドーピングされない金属シリコン化物膜を堆積するために利用された通常のCVD技術によって堆積される。ドーパント源は、堆積される膜のその場のドーピングを提供するために、CVDプロセスに含まれる。

【0025】一実施態様において、ドーピングされた金属シリコン化物層は、PドーピングされたWSi<sub>x</sub>を含む。WSi<sub>x</sub>は、その場でドーピングされる。Pドーパントの濃度は、ほぼ $10^{19}$ ～ $5 \times 10^{21}$ 原子/cm<sup>3</sup>、有利にはほぼ $10^{20}$ ～ $10^{21}$ 原子/cm<sup>3</sup>、かつさらに有利にはほぼ $5 \times 10^{20}$ 原子/cm<sup>3</sup>である。ドーピングされた金属シリコン化物の厚さは、ほぼ50～200nm、有利にはほぼ80nmである。もちろん実際の厚さは、設計及びパラメータに依存して変化することができる。

【0026】通常のW、Si及びドーパント先駆物質は、ドーピングされたWSi<sub>x</sub>膜を形成するために利用される。通常のSi先駆物質は、例えばシラン(SiH<sub>4</sub>)、ジシラン(Si<sub>2</sub>H<sub>6</sub>)又はジクロロシラン(Si

H<sub>2</sub>Cl<sub>2</sub>)を含み、W先駆物質は、タングステンヘキサフルオライド(WF<sub>6</sub>)、タングステンヘキサクロライド(WCl<sub>6</sub>)又はタングステンヘキサカルボニル(W[CO]<sub>6</sub>)を含む。ホスフィン(PH<sub>3</sub>又はPOC<sub>1</sub>)は、例えばPドーパント源を提供するために利用される。一実施態様において、PH<sub>3</sub>は、PドーピングされたWSi<sub>x</sub>膜を形成するためにWF<sub>6</sub>及びSiH<sub>4</sub>に加えられる。先駆物質は、サンタクララ(Santa Clara)、CA在、アプライドマテリアル(Applied Materials)によって製造されたセンチュラ(Centura)CVD反応器のようなCVD反応器に導入される。CVDプロセスのための典型的な温度及び圧力は、それぞれほぼ450～600℃及びほぼ1～5トルである。有利には温度は、ほぼ550℃であり、かつ圧力は、ほぼ1、5トルである。

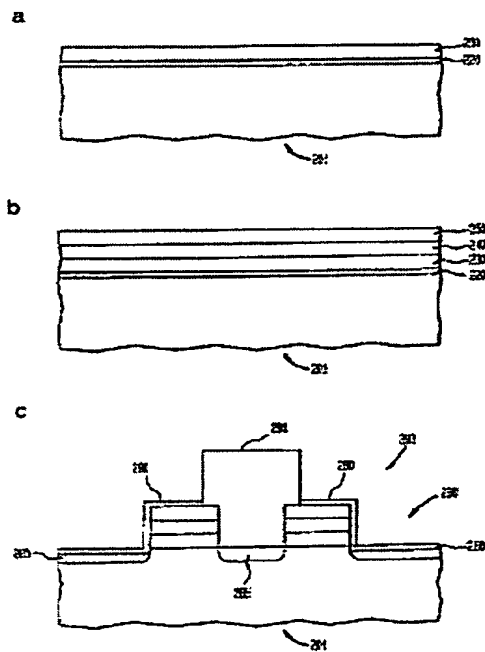
【0027】堆積の間の金属シリコン化物膜へのドーパントの添加は、金属の豊富な境界面の形成を減少する。金属の豊富な境界面の減少に関する機序は明らかではないが、ドーパントは、金属反応の効率を増強することが信じられている。例えばWF<sub>6</sub>反応の効率が増強される。ドーパントは、堆積プロセスにおいて組込まれるので、WF<sub>6</sub>反応の効率は、堆積プロセスを通して増強される。それ故にWは、WSi<sub>x</sub>膜を通して比較的均一に分配され、金属の豊富な境界面を回避する。

【0028】金属の豊富な境界面なしに多量にドーピングされた層上に金属シリコン化物膜を堆積する能力は、真性キャップポリ層なしに多量にドーピングされた層上に金属シリコン化物膜を堆積することを可能にする。このことは、さらに小さな縦横比を有するゲートスタックを製造する場合に、さらに小さな基本原則によってとくに有利である。さらに小さな抵抗も達成され、デバイスの特性を増大する。

【0029】ドーピングされたシリコン化物層を利用するので、ポリ層もドーピングしないでもよい。ドーピングされていないアモルファスシリコンは、ポリの代わりに利用することができる。ドーピングされていないポリ又はアモルファスシリコンの厚さは、例えば20～50nmであることができる。

【0030】後続のプロセスの間に熱にさらすことは、金属シリコン化物及びポリ層内へのドーパントの拡散を引起す。選択的に層内にドーパントを拡散させるために、焼きなましが行なわれる。焼きなましは、膜の特性を増強又は最適化するように選定されている。焼きなましは、例えばほぼ大気圧においてほぼ1000℃の温度で行なわれる。焼きなましの環境は、例えば酸素(O<sub>2</sub>)、アルゴン(Ar)又は窒素(N<sub>2</sub>)を含んでいゝ。ポリ層が、シリコン化物層のものより低いドーパント濃度を含む場合、焼きなましは、ポリ層におけるドーパントのドーパント濃度を増加する。ドーパント源として使われるドーピングされたシリコン化物層を設けるこ

【図2】



フロントページの続き

(72)発明者 マティアス イルク  
アメリカ合衆国 ヴァージニア リッチモ  
ンド ノース ミュルベリー ストリート  
4

(72)発明者 ジョナサン ファルターマイヤー  
アメリカ合衆国 ニューヨーク フィッシ  
ュキル マウンテン ヴュー クノールズ  
ドライブ 1 アpartment シー

(72)発明者 ラディカ スリニヴァサン  
アメリカ合衆国 ニュージャージー マー  
ワー デヴィッドソン コート 18